

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 60234353
PUBLICATION DATE : 21-11-85

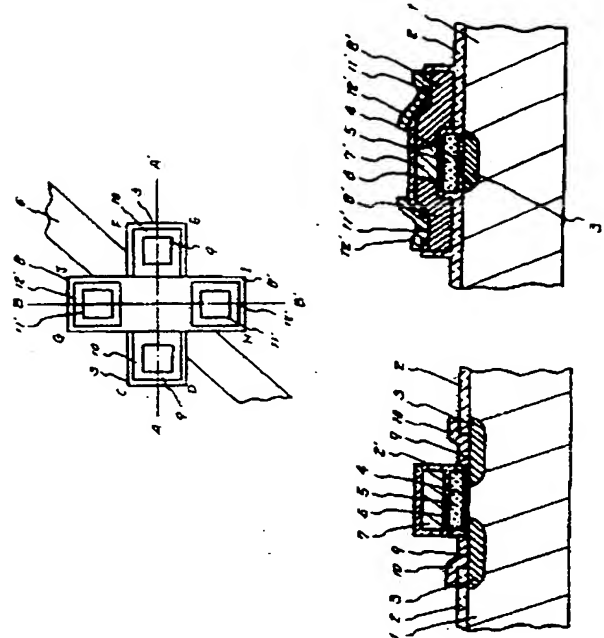
APPLICATION DATE : 08-05-84
APPLICATION NUMBER : 59091268

APPLICANT : NEC CORP;

INVENTOR : RYONO KENICHIRO;

INT.CL. : H01L 27/00 H01L 27/08 H01L 29/78

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To reduce the parasitic capacity by a method wherein a semiconductor device is composed of a common silicon gate of the first silicon gate type field effect transistor (FET) and the second silicon gate type FET deposited on the first FET in the direction perpendicular to source.drain.

CONSTITUTION: A gate oxide film 4 is provided on a P channel region of rectangle CDEF of an N type silicon substrate 1 covered with a surface oxide film 2 to form a polysilicon 5 thereon and then the polysilicon 5 is changed into polysilicide utilizing high density impurity to improve the conductivity. Firstly the sides and surface of polysilicon 5 are oxidized to be covered with an oxide film 6. Secondly a source.drain region 3 of P channel is formed utilizing the polysilicon 5 as a mask. Thirdly another polysilicon layer 7 is formed on the surface of polysilicon 5 through the intermediary of a gate oxide film 6. Fourthly another source.drain region 8' of N channel is formed on a polysilicon layer annealed by irradiating Ar laser from the surface. Finally the surface of polysilicon is oxidized and a hole is opened to form an electrode so that a deposited complementary silicon gate type FET may be produced. Through these procedures, the parasitic capacity may be reduced to decrease the number of processes.

COPYRIGHT: (C)1985,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-234353

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)11月21日

H 01 L 27/00
27/08
29/78

1 0 2

8122-5F
6655-5F
8422-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 昭59-91268

⑰ 出 願 昭59(1984)5月8日

⑱ 発 明 者 漁 野 堅 一 郎 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 一導電型の半導体基板の主表面に設けられた他の導電型のソース・ドレイン領域と、前記主表面上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたシリコンゲートと、一導型のチャンネル領域とを有する第1のシリコンゲート型電界効果トランジスタと、前記第1のシリコンゲート型電界効果トランジスタのシリコンゲート部を共有し、前記第1のシリコンゲート型電界効果トランジスタのソース・ドレインと直交する方向の前記半導体基板上に絶縁膜を介して形成された一導電型のソース・ドレイン領域と、前記シリコンゲート部の上側に絶縁膜を介して形成された他導電型のチャンネル領域とを有する第2のシリコンゲート型電界効果トランジスタとよりなる積

み重ね構造の相補型のシリコンゲート型電界効果トランジスタを含むことを特徴とする半導体装置。

(2) 絶縁膜を介して形成された他導電型のチャンネル領域がソース・ドレインに対してほぼ45度の角度をなして斜めに形成されている特許請求の範囲第(1)項記載の半導体装置。

3. 発明の詳細な説明

(技術分野)

本発明は半導体装置に関し、特に相補型のシリコンゲート型電界効果トランジスタを含む半導体装置に関する。

(従来技術)

従来、相補型のシリコンゲート型電界効果トランジスタの占有面積を小さくする目的で、水平的配位から垂直的配置、即ち積み重ね構造にすることが提案されているが、未だ決定版は無く、製法上、製造上種々の問題を抱えている。

第1図は従来積み重ね構造の相補型のシリコンゲート型電界効果トランジスタの断面図である。

同図において、このICの製作工程は低抵抗N型半導体基板(比抵抗 $5\sim 10\Omega\cdot\text{cm}$ 、厚さ $200\sim 400\mu\text{m}$)1の所定の位置にゲート酸化膜4(厚さ $100\sim 500\text{\AA}$)を設け、ゲート部上方にポリシリコン(1 μm)5/ゲート酸化膜(厚さ $100\sim 500\text{\AA}$)6/ポリシリコン(0.75 μm)をチャンネル領域、ソース・ドレイン部に積み重ね構造にし、CW Arレーザー照射により、シードなしでアニールし、その後レーザーアニールしたポリシリコン部分にNチャンネルトランジスタ(チャンネル部7、ソース、ドレイン8)を形成し、その基板シリコン部分9にP型不純物拡散してPチャンネルトランジスタを形成したものである。この構造は以下に説明するような欠点がある。即ち、薄い酸化膜6の上方にNチャンネルトランジスタが作られていて、寄生容量(ゲートとソース・ドレイン間)が大きいこと、ソース・ドレインのコンタクト部11、電極部12が基板面よりポリシリコンゲート部5の厚さ(1 μm)だけ上方にあって電極12とPチャンネルトランジスタ電極10と接続する場合

に段差が生じる等の欠点がある。

(発明の目的)

本発明の目的は、前記の欠点を除去し、寄生容量が小さく、従って周波特性が大幅に改善され且つ容量結合による駆動作用が抑えられ、且つ電極配線が段部で断絶することがなくなり、信頼性が高く、且つ占有面積が小さく、ホトレジスト工程が大幅に減り、工程が短期でき、安価に製造できる積み重ね構造の相補型シリコンゲート型電界効果トランジスタを含む半導体装置を提供することにある。

(発明の構成)

本発明の半導体装置は、一導電型の半導体基板の主表面に設けられた他の導電型のソース・ドレイン領域と、前記主表面上に形成されたゲート絶縁膜と、該ゲート絶縁膜上に形成されたシリコンゲートとを備えた一導電型のチャンネル領域を有する第1のシリコンゲート型電界効果トランジスタと、前記第1のシリコンゲート型電界効果トランジスタのシリコンゲート部を共有し、前記第1

のシリコンゲート型電界効果トランジスタのソース・ドレインと直交する方向の前記半導体基板上に絶縁膜を介して形成された一導電型のソース・ドレイン領域と、前記シリコンゲート部の上側に絶縁膜を介して形成された他導電型のチャンネル領域とを有する第2のシリコンゲート型電界効果トランジスタとよりなる積み重ね構造の相補型のシリコンゲート型電界効果トランジスタを含んで構成される。

(実施例)

以下、本発明の実施例について、図面を参照して説明する。

第2図は本発明の一実施例の平面図であり、また第3図は第2図のA-A'面での断面図、第4図は第2図のB-B'面での断面図である。本発明の一実施例は次の工程により製造することができる。

先ず、第3図に示すように、0.5~1 μm 程度の表面酸化膜2で覆われた比抵抗 $5\sim 10\Omega\cdot\text{cm}$ 、厚さ $200\sim 400\mu\text{m}$ のN型シリコン基板1の所定の位置、すなわち第2図に示す矩形CDEFのpチャ

ネル領域に、 $100\sim 500\text{\AA}$ のゲート酸化膜4を設け、その上にゲート配線領域を形成する0.5~1.0 μm 程度のポリシリコン5を(CVD法により形成し、高濃度($\rho_s\sim 10\Omega/\square$)の不純物、例えばリンを拡散するか、白金等の金属によりシリサイドにして伝導度をあげる手段を施し、次いでポリシリコン5の側面及び上面を酸化し、 $100\sim 500\text{\AA}$ の酸化膜6で覆う。この酸化膜6は後にNチャンネルトランジスタのゲート酸化膜となる。次に、ポリシリコン5をマスクにイオン注入して、Pチャンネルトランジスタのソース・ドレイン領域3を形成する。

然るときはソース・ドレイン領域3、ゲート酸化膜4、シリコンゲート5を主要部とする第1のPチャンネルシリコンゲート型電界効果トランジスタが形成される。

次に、ポリシリコン5の上面にゲート酸化膜6を介してNチャンネルトランジスタ領域(第2図の矩形GHIJ)となるポリシリコン層7を0.5~1.5 μm 程度形成する。次いでCW Arレーザーを

表面より照射することにより、シードなし、又はシード有でアニールする。このときポリシリコン層7をPチャネルトランジスタのドレイン接触させておく。その後レーザーアニールしたポリシリコン層部分にN型の不純物を比較的高濃度($10^{18} \sim 4 \times 10^{18} \text{ cm}^{-3}$)に拡散するか、イオン注入によりNチャネルのソース・ドレイン領域8'を形成する。なおこのソース・ドレイン領域は第4図に示すようにシリコンゲート5の上端でなく半導体基板1の表面に形成された絶縁膜2の上に形成され、かつ第2図に示すように第1のシリコンゲート型電界効果トランジスタのソース・ドレイン領域3に對し直角方向に配置される。

次いでポリシリコン表面を酸化し、開孔して電極を形成すると第1のシリコンゲート型電界効果トランジスタのシリコンゲート5を共有し、第1のシリコンゲート型電界効果トランジスタのソース・ドレイン3と直交する方向の半導体基板1上に絶縁膜2を介して形成されたソース・ドレイン領域と、シリコンゲート5の上側にゲート絶縁膜

6を介して形成された他導電型のチャネル領域とを有する第2のシリコンゲート型電界効果トランジスタが完成し、以上の説明から明らかなように結果として積み重ね構造の相補型のシリコンゲート型電界効果トランジスタが得られる。

なお第2のシリコンゲート型電界効果トランジスタのチャネル領域の形成にあつては第2図に示すように、ソース・ドレインに對しほぼ45度の角度をなすよう斜めに形成すれば、チャネル幅がソース・ドレインに平行にチャネル領域が出来る場合に比べて、約1.4倍広くとることが出来る。従つてその分だけ集積度を向上させることができる。

以上により形成された本実施例の特徴は、先ず第1に従来構造と異なり第2のトランジスタのソース・ドレインが第1のトランジスタのソース・ドレイン形成方向と直交し、かつ第2のトランジスタのソース・ドレインはシリコンゲート部の上方にあるのではなく絶縁膜2を介して基板の上に設けられているので従来問題となつていた寄生容量

を小さくすることができ、また段差も小さくすることができ配線の段差部での断絶を小さくすることができる。

また、前の製造工程の説明から明らかなように、ホトレジスト工程は通常の水平方向に配置したCMOSが12~13工程を要するのに對し、本発明方法では8工程に減小させることができ、原価低減に大きく寄与するものである。

また、積み重ね構造のため、Pウェル、Nウェルを必要としないことと、寄生のPNPNサイリスタはほとんど存在することはなく集積度の向上に好都合である。

また、第2のトランジスタのチャネル領域を45度の角度をなして斜めに形成したことは、前に述べた効果が得られ、集積度を同様に向上させることができる。

なお、上記説明に用いた図面では各領域は何れも角ばって表示してあるが、例えば第4図の領域8'の両端はなだらかにし、金属配線を施した場合に段切れが起らないようにすることができる。

また出発材料はN形半導体基板としたが、P形半導体基板の場合も同様に実施できることは説明するまでもない。

(発明の効果)

以上説明したとおり、本発明によれば、寄生容量の大幅な削減、配線部品の改善、工程の大幅短縮、ウェルが不要である等の効果が得られる相補型シリコンゲート型電界効果トランジスタを含む半導体装置を得ることができる。

4. 図面の簡単な説明

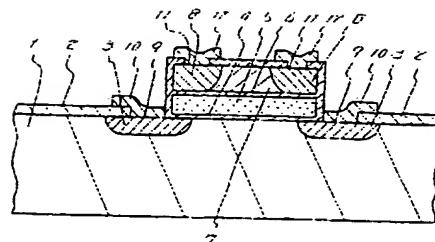
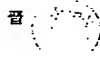
第1図は従来の積み重ね構造の相補型のシリコンゲート型電界効果トランジスタを含む半導体装置の断面図、第2図は本発明の一実施例の平面図、第3図は第2図のA-A'面断面図、第4図は第2図のB-B'面断面図である。

1……半導体基板、2……絶縁膜、3, 3', 8'……ソース・ドレイン、4, 6……ゲート絶縁膜、5……ポリシリコン層又はシリサイド層、7……チャネル領域、9, 11, 11'……ソース

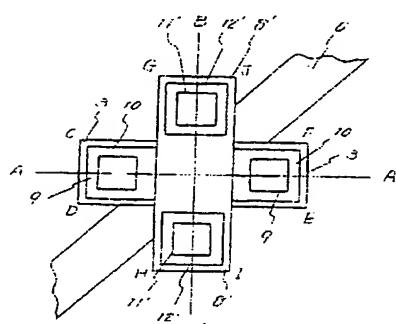
・ドレインコンタクト孔、10、12、12'……配線

用金属薄膜。

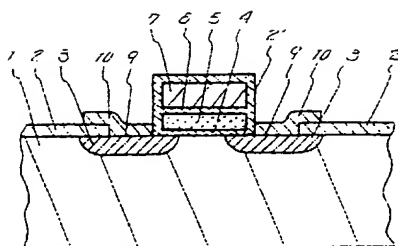
代理人 弁理士 内 原



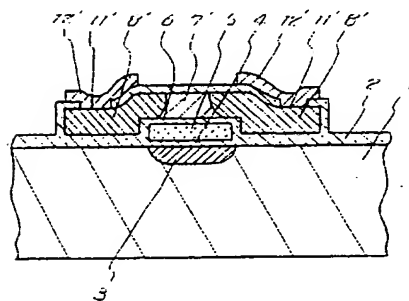
第 1 図



第 2 図



第 3 図



第 4 図